

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010045400 A
(43)Date of publication of application: 05.06.2001

(21)Application number: 1019990048671
(22)Date of filing: 04.11.1999

(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: LEE, HO SEOK
LEE, JAE JUNG
PARK, SU YEONG

(51)Int. Cl. H01L 21/3205

(54) METHOD FOR MANUFACTURING METAL INTERCONNECTION OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for manufacturing a metal interconnection is provided to prevent metallic etching byproduct when an interlayer dielectric is over-etched, by forming hard mask layers having etch selectivity different from that of the interlayer dielectric on and under the interlayer dielectric wherein the hard mask layers.

CONSTITUTION: The first interlayer dielectric(12) of a low dielectric constant and the first hard mask layer(13) are formed on a substrate (11) having a lower pattern. The first hard mask layer and the first interlayer dielectric are etched to form a contact hole(15). A metal plug(16) is formed inside the contact hole. The second hard mask

layer(17) having etching selectivity different from that of the first hard mask layer is formed. The second interlayer dielectric (18) having a low dielectric constant is formed. The third hard mask layer(19) having the same etch selectivity as the first hard mask layer is formed. The fourth hard mask layer having the same etch selectivity as the second hard mask layer is formed. A photoresist layer pattern exposing a part of the fourth hard mask layer is formed. The exposed portion of the third hard mask layer and the second interlayer dielectric under the third hard mask layer are etched by using the second hard mask layer as an etch stop layer. The exposed portion of the fourth and second hard mask layers is etched to form a spacing pattern(22) of a line type which exposes the metal plug and the first hard mask layer portion adjacent to the metal plug.

COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20010807)

Patent registration number (1003150390000)

Date of registration (20011106)

Best Available Copy

Family list

1 family member for:

KR2001045400

Derived from 1 application.

[Back to KR2001045400](#)

1 METHOD FOR MANUFACTURING METAL INTERCONNECTION OF SEMICONDUCTOR DEVICE

Publication info: **KR2001045400 A** - 2001-06-05

Data supplied from the **esp@cenet** database - Worldwide

특 2001-0045400

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/3205

(11) 공개번호 특2001-0045400
(43) 공개일자 2001년06월05일

(21) 출원번호	10-1999-0048671
(22) 출원일자	1999년 11월 04일
(71) 출원인	주식회사 하이닉스반도체 박종섭 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	박수영 경기도수원시팔달구매탄동153-25 미호석 경기도미천시대월면사동리현대전자사원아파트107동1305호 이재중 서울특별시송파구오금동현대3차아파트34동1302호
(74) 대리인	강성배

심사청구 : 있음

(54) 반도체 소자의 금속배선 형성방법

요약

본 발명은 반도체 소자의 금속배선 형성방법을 개시한다. 개시된 본 발명의 반도체 소자의 금속배선 형성 방법은, 하부패턴들이 형성된 반도체 기판 상에 저유전상수 값을 갖는 제1층간절연막과, 제1하드 마스크막을 차례로 형성하는 단계; 상기 제1하드마스크막 및 제1층간절연막을 식각해서, 상기 반도체 기판의 일부 또는 상기 하부패턴을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀 내에 금속 플러그를 형성하는 단계; 상기 결과물 상에 상기 제1하드 마스크막과 상이한 식각 선택비를 갖는 제2하드 마스크막, 저유전상수 값을 갖는 제2층간절연막, 상기 제1하드 마스크막과 동일한 식각 선택비를 갖는 제3하드 마스크막, 상기 제2하드 마스크막과 동일한 식각 선택비를 갖는 제4하드 마스크막, 및 상기 제4하드 마스크막의 일부분을 노출시키는 감광막 패턴을 차례로 형성하는 단계; 상기 감광막 패턴을 마스크로해서 노출된 제4하드 마스크막 부분을 식각하는 단계; 상기 제2하드 마스크막을 식각 정지층으로해서, 노출된 제3하드 마스크막 부분 및 그 하부의 제2층간절연막 부분을 식각하는 단계; 노출된 제4 및 제2하드 마스크막 부분을 식각하여, 상기 금속 플러그 및 이에 인접된 제1하드 마스크막 부분을 노출시키는 라인 형태의 스페이싱 패턴을 형성하는 단계; 및 상기 스페이싱 패턴 내에 상기 금속 플러그와 콘택되는 금속배선을 형성하는 단계를 포함한다.

도면

도면

도면

도면의 간단한 설명

도 1a 내지 도 1c는 종래 기술에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위한 공정 단면도.

도 2a 내지 도 2f는 본 발명의 실시예에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위한 공정 단면도.

(도면의 주요 부분에 대한 부호의 설명)

- | | |
|----------------|----------------|
| 11 : 반도체 기판 | 12 : 제1층간절연막 |
| 13 : 제1하드 마스크막 | 14 : 제1감광막 패턴 |
| 15 : 콘택홀 | 16 : 금속 플러그 |
| 17 : 제2하드 마스크막 | 18 : 제2층간절연막 |
| 19 : 제3하드 마스크막 | 20 : 제4하드 마스크막 |
| 21 : 제2감광막 패턴 | 22 : 스페이싱 패턴 |
| 23 : 금속배선 | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 금속배선 형성방법에 관한 것으로, 특히, 다마신 공정을 이용한 금속배선 공정에서, 금속성 식각 부산물의 발생을 방지할 수 있는 반도체 소자의 금속배선 형성방법에 관한 것이다.

통상, 금속배선은 두 가지 방법으로 형성되고 있다. 첫번째 방법은 금속막 상에 감광막 패턴을 형성하고, 그다음, 상기 감광막 패턴을 식각 장벽으로 하는 플라즈마 식각 공정으로 상기 금속막을 직접 식각하여 소망하는 형태의 금속배선을 형성하는 방법이다. 그런데, 이 방법은 금속배선의 임계 치수(critical dimension)가 감소되고 있는 추세에서, 그 전기적 특성의 확보가 매우 어려운 문제점이 있다.

두번째 방법은 다마신(damascene) 공정을 이용한 방법으로서, 먼저, 제1층간절연막의 일부분을 식각 제거하여 콘택홀을 형성한 후, 상기 콘택홀 내에 금속막을 매립시켜 금속 플러그를 형성하고, 그다음, 상기 결과를 상에 제2층간절연막을 형성한 후, 상기 제2층간절연막을 식각하여, 상기 금속 플러그를 노출시키는 린과 동시에 라인 형태를 갖는 스페이싱 패턴(spacing pattern)을 형성하고, 그리고 나서, 상기 스페이싱 패턴 내에 금속막을 매립시켜, 상기 금속 플러그와 콘택되는 금속배선을 형성하는 방법이다. 이 방법은 전자의 방법 보다 상대적으로 우수한 전기적 특성을 얻을 수 있으며, 아울러, 공정 비용이 적기 때문에, 점차 그 이용이 확대되고 있다.

도 1a 내지 도 1c는 종래 기술에 따른 다마신 공정을 이용한 반도체 소자의 금속배선 형성방법을 설명하기 위한 공정 단면도이다.

도 1a를 참조하면, 트랜지스터 등과 같은 하부 패턴들(도시안됨)이 형성된 반도체 기판(1) 상에 상기 하부 패턴들을 덮도록 제1층간절연막(2) 및 제1하드 마스크막(3)을 차례로 형성하고, 공지된 방법으로 상기 제1하드 마스크막(3) 및 제1층간절연막(2)을 식각해서, 반도체 기판(1)의 일부분 또는 하부 패턴을 노출시키는 콘택홀(4)을 형성한다.

도 1b를 참조하면, 콘택홀(4)이 완전히 매립될 정도의 충분한 두께로 상기 제1하드 마스크막(3) 상에 금속막을 증착하고, 상기 제1하드 마스크막(3)이 노출되도록, 상기 금속막을 화학적기계연마(Chemical Mechanical Polishing : CMP) 공정으로 연마하여 표면 평탄화를 얻음과 동시에 상기 콘택홀(4) 내에 금속 플러그(5)를 형성한다.

도 1c를 참조하면, 상기 결과물의 상부에 저유전상수 값을 갖는 제2층간절연막(6)과 제2하드 마스크막(7)을 차례로 형성하고, 공지된 방법으로 상기 제2하드 마스크막(7) 및 제2층간절연막(6)을 플라즈마 식각해서, 상기 금속 플러그(5) 및 이에 인접된 제1하드 마스크막 부분을 노출시키는 라인 형태의 스페이싱 패턴(8)을 형성한다. 그다음, 상기 스페이싱 패턴(8) 내에 금속막을 매립시켜, 상기 금속 플러그(5)와 콘택되는 금속배선(9)을 형성한다.

발명이 이루고자 하는 기술적 과제

그러나, 종래 기술에 따른 다마신 공정을 이용한 금속배선 형성방법은, 상기 스페이싱 패턴을 형성하기 위한 상기 제2층간절연막과 제2하드 마스크막의 식각시, 식각 균일성을 확보하기 위하여 과도 식각을 수행하게 되는데, 이 과정에서 플라즈마에 노출된 금속막, 즉, 금속 플러그의 상부 표면에서 스퍼터링 현상이 일어나는 것에 기인하여 금속물질과 절연물질로 이루어진 금속성의 식각 부산물이 발생하게 됨으로써, 상기 금속성의 식각 부산물을 제거하기 위한 추가적인 세정 공정을 수행해야 하며, 이에 따라, 상기 세정 공정에 기인하여 생산성의 저하 및 비용의 증가가 야기되는 문제점이 있다.

따라서, 상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은, 금속성 식각 부산물의 발생을 방지할 수 있는 반도체 소자의 금속배선 형성방법을 제공하는데, 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 반도체 소자의 금속배선 형성방법은, 하부패턴들이 형성된 반도체 기판 상에 저유전상수 값을 갖는 제1층간절연막과, 제1하드 마스크막을 차례로 형성하는 단계; 상기 제1하드 마스크막 및 제1층간절연막을 식각해서, 상기 반도체 기판의 일부분 또는 상기 하부패턴을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀 내에 금속 플러그를 형성하는 단계; 상기 결과물 상에 상기 제1하드 마스크막과 상이한 식각 선택비를 갖는 제2하드 마스크막, 저유전상수 값을 갖는 제2층간절연막, 상기 제1하드 마스크막과 동일한 식각 선택비를 갖는 제3하드 마스크막, 상기 제2하드 마스크막과 동일한 식각 선택비를 갖는 제4하드 마스크막, 및 상기 제4하드 마스크막의 일부분을 노출시키는 감광막 패턴을 차례로 형성하는 단계; 상기 감광막 패턴을 마스크로해서 노출된 제4하드 마스크막 부분을 식각하는 단계; 상기 제2하드 마스크막을 식각 정지층으로해서, 노출된 제3하드 마스크막 부분 및 그 하부의 제2층간절연막 부분을 식각하는 단계; 노출된 제4 및 제2하드 마스크막 부분을 식각하여, 상기 금속 플러그 및 이에 인접된 상기 제1하드 마스크막 부분을 노출시키는 라인 형태의 스페이싱 패턴을 형성하는 단계; 및 상기 스페이싱 패턴 내에 상기 금속 플러그와 콘택되는 금속배선을 형성하는 단계를 포함한다.

본 발명에 따르면, 층간절연막의 하부 및 상부 각각에 상기 층간절연막과 식각 선택비가 상이한 하드 마스크막을 구비시킴으로써, 과도 식각에 기인한 금속성의 식각 부산물의 발생을 방지할 수 있으며, 이에 따라, 상기 금속성의 식각 부산물을 제거하기 위한 세정 공정을 삭제시킬 수 있는 것에 기인하여 생산성을 향상시킬 수 있다.

이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

도 2a 내지 도 2f는 본 발명의 실시예에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위한 단면도이다.

도 2a를 참조하면, 트랜지스터와 같은 하부패턴들(도시안됨)이 형성된 반도체 기판(11) 상에 저유전상수 값을 갖는 제1충간절연막(12)을 증착하고, 상기 제1충간절연막(12) 상에 상기 제1충간절연막(12)과 1 : 3 이상의 식각 선택비를 갖는 제1하드 마스크막(13)을 형성한다. 그런다음, 상기 제1하드 마스크막(13) 상에 금속배선이 형성될 영역을 한정하는 제1감광막 패턴(14)을 형성한다. 그리고나서, 상기 제1감광막 패턴(14)을 마스크로해서 노출된 제1하드 마스크막 부분과 그 하부의 제1충간절연막 부분을 식각해서, 상기 반도체 기판(11)의 일부분 또는 하부패턴을 노출시키는 콘택홀(15)을 형성한다.

도 2b를 참조하면, 제1감광막 패턴을 제거한 상태에서, 상기 제1하드 마스크막(13) 상에 상기 콘택홀(15)이 완전히 매립될 정도의 충분한 두께로 금속막을 증착하고, 그런다음, 상기 제1하드 마스크막(13)이 노출될 때까지, 상기 금속막을 CMP 공정으로 연마하여 표면 평탄화를 달성함과 동시에 상기 콘택홀(15) 내에 금속 플러그(16)를 형성한다. 그리고나서, 균일성 개선을 위해, 상기 결과물의 상부 표면의 일부를 에치백한다.

도 2c를 참조하면, 제1하드 마스크막(13) 및 금속 플러그(16) 상에 상기 제1하드 마스크막(13)과 상이한 식각 선택비, 예를들어, 상기 제1하드 마스크막(13)에 대해 1 : 2 이상이 식각 선택비를 갖는 제2하드 마스크막(17)을 형성한다. 그런다음, 상기 제2하드 마스크막(17) 상에 제2충간절연막(18)을 형성하고, 상기 제2충간절연막(18) 상에 상기 제1하드 마스크막(13)과 동일한 물질로 이루어진 제3하드 마스크막(19)을 형성한다. 이어서, 상기 제3하드 마스크막(19) 상에 상기 제2하드 마스크막(17)과 동일한 물질이며, 그리고, 상기 제3하드 마스크막(18)과 1 : 2 이상의 식각 선택비를 갖는 제4하드 마스크막(20)을 형성하고, 상기 제4하드 마스크막(20) 상에 상기 금속 플러그(16)의 상부 영역을 노출시키는 제2감광막 패턴(21)을 형성한다.

도 2d를 참조하면, 제2감광막 패턴을 마스크로 해서 노출된 제4하드 마스크막 부분을 플루오린과 수소의 혼합 가스, 예를들어, C₄H₈F, 가스와 C₄F₈ 가스의 혼합 가스를 이용하여 플라즈마 식각하고, 그런다음, 상기 제4하드 마스크막(20)이 식각된 것에 의해 노출된 제3하드 마스크막 부분을 플루오린 가스를 이용하여 플라즈마 식각하고, 연이어서, 제2하드 마스크막(17)을 식각정지층으로해서, 노출된 제2충간절연막 부분을 산소 가스를 이용하여 플라즈마 식각한다. 이때, 상기 식각 마스크로 사용된 제2감광막 패턴은 제4하드 마스크막(20)의 식각, 제3하드 마스크막(19)의 식각 및 제2충간절연막(18)의 식각시에 함께 제거된다. 따라서, 상기 제2감광막 패턴을 제거하기 위한 별도의 스트립 공정은 필요치 않다. 한편, 상기 제2감광막 패턴이 완전히 제거되지 않은 경우에는, 상기 제2충간절연막(18)의 식각후에 잔류된 제2감광막 패턴을 제거하기 위한 스트립 공정을 수행한다.

도 2e를 참조하면, 제3하드 마스크막(19) 상의 제4하드 마스크막과 제1하드 마스크막(13) 상의 노출된 제2하드 마스크막 부분이 제거되도록 식각 공정을 수행하여, 금속 플러그(16) 및 이에 인접된 제1하드 마스크막 부분을 노출시키는 라인 형태의 스페이스 패턴(22)을 형성한다.

도 2f를 참조하면, 스페이스 패턴(22)이 완전히 매립될 정도의 충분한 두께로 상기 결과물 상에 금속막을 증착하고, 상기 제3하드 마스크막이 노출되도록, 상기 금속막을 CMP 공정으로 연마한 후, 표면 균일성을 위해 에치백 공정을 수행하여, 상기 스페이스 패턴(22) 내에 상기 금속 플러그(16)와 콘택되는 금속배선(23)을 형성한다. 이후, 세정 공정을 수행하여 금속배선 형성 공정을 완료한다.

본 발명에 따르면, 제2충간절연막의 하부 및 상부에 상기 제2충간절연막과 상이한 식각 선택비를 갖는 하드 마스크막을 배치시키는 것에 의해 금속성 식각 부산물의 발생을 방지할 수 있다. 즉, 종래의 금속배선 형성 공정에서는 제2충간절연막에 대한 과도 식각 공정이 수행되는 것에 기인하여, 금속 물질과 절연 물질로 이루어진 금속성의 식각 부산물이 발생하게 되지만, 본 발명의 실시예에서는 제2충간절연막의 하부에 배치된 제2하드 마스크막이 식각정지층으로서 기능하기 때문에, 금속 플러그의 표면이 스퍼터링되는 것을 방지할 수 있으며, 그래서, 금속성의 식각 부산물이 발생하는 것을 방지할 수 있다.

따라서, 식각 부산물을 제거하기 위한 별도의 세정 공정이 필요치 않으며, 아울러, 식각 부산물에 의한 금속배선의 특성 저하를 방지할 수 있다.

본 발명의 효과

이상에서와 같이, 본 발명은 충간절연막의 하부 및 상부 각각에 상기 충간절연막과 식각 선택비가 상이한 하드 마스크막을 배치시킴으로써, 상기 충간절연막의 과도 식각시에 금속성의 식각 부산물이 발생하는 것을 방지할 수 있다. 따라서, 상기 금속성의 식각 부산물을 제거하기 위한 세정 공정을 삭제시킬 수 있기 때문에, 생산성을 향상시킬 수 있으며, 아울러, 소자 특성 및 신뢰성을 향상시킬 수 있다.

한편, 여기에서는 본 발명의 특정 실시예에 대하여 설명하고 도시하였지만, 당업자에 의하여 이에 대한 수정과 변형을 할 수 있다. 따라서, 이하, 특허청구의 범위는 본 발명의 진정한 사상과 범위에 속하는 한 모든 수정과 변형을 포함하는 것으로 이해할 수 있다.

(57) 청구의 범위

청구항 1

하부패턴들이 형성된 반도체 기판 상에 저유전상수 값을 갖는 제1충간절연막과, 제1하드 마스크막을 차례로 형성하는 단계;

상기 제1하드마스크 및 제1충간절연막을 식각해서, 상기 반도체 기판의 일부분 또는 상기 하부패턴을 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀 내에 금속 플러그를 형성하는 단계;

상기 결과물 상에 상기 제1하드 마스크막과 상미한 식각 선택비를 갖는 제2하드 마스크막, 저유전상수 값을 갖는 제2층간절연막, 상기 제1하드 마스크막과 동일한 식각 선택비를 갖는 제3하드 마스크막, 상기 제2하드 마스크막과 동일한 식각 선택비를 갖는 제4하드 마스크막, 및 상기 제4하드 마스크막의 일부분을 노출시키는 감광막 패턴을 차례로 형성하는 단계;

상기 감광막 패턴을 마스크로해서 노출된 제4하드 마스크막 부분을 식각하는 단계;

상기 제2하드 마스크막을 식각 정지층으로해서, 노출된 제3하드 마스크막 부분 및 그 하부의 제2층간절연막 부분을 식각하는 단계;

노출된 제4 및 제2하드 마스크막 부분을 식각하여, 상기 금속 플러그 및 이에 인접된 상기 제1하드 마스크막 부분을 노출시키는 라인 형태의 스페이싱 패턴을 형성하는 단계; 및

상기 스페이싱 패턴 내에 상기 금속 플러그와 콘택되는 금속배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 2

제 1 항에 있어서, 상기 금속 플러그를 형성하는 단계는,

상기 제3하드 마스크막 상에 상기 콘택홀이 완전히 매립될 정도의 충분한 두께로 금속막을 증착하는 단계; 및 상기 제3하드 마스크막이 노출되도록, 상기 금속막을 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 3

제 2 항에 있어서, 상기 금속막을 식각하는 단계는,

상기 제3하드 마스크막이 노출되도록, 상기 금속막을 화학적기계연마 공정으로 연마하는 단계; 및 상기 금속막 및 제3하드 마스크막의 표면을 에치백하는 단계로 이루어진 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 4

제 1 항에 있어서, 상기 제1 및 제2층간절연막과 상기 제1 및 제3하드 마스크막은 1 : 3 이상의 식각 선택비를 갖는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 5

제 1 항에 있어서, 상기 제1 및 제3하드 마스크막과 상기 제2 및 제4하드 마스크막은 1 : 2 이상의 식각 선택비를 갖는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 6

제 1 항에 있어서, 상기 제3하드 마스크막을 식각하는 단계는, 플로우인 가스를 사용하여 수행하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 7

제 1 항에 있어서, 상기 제2층간절연막을 식각하는 단계는, 산소 가스를 사용하여 수행하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 8

제 1 항에 있어서, 상기 제4 및 제2하드 마스크막을 식각하는 단계는,

C₂H₂ 가스와 C₂F₄ 가스의 혼합 가스로 수행하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 9

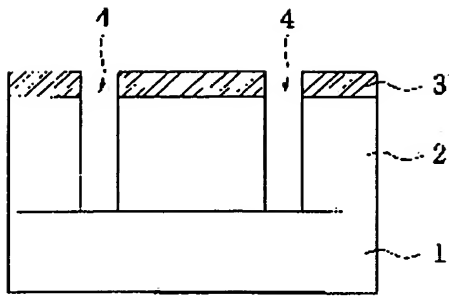
제 1 항에 있어서, 상기 금속배선을 형성하는 단계는, 상기 제3하드 마스크막 상에 상기 스페이싱 패턴이 완전히 매립될 정도의 충분한 두께로 금속막을 증착하는 단계; 및 상기 제3하드 마스크막이 노출되도록, 상기 금속막을 식각하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 10

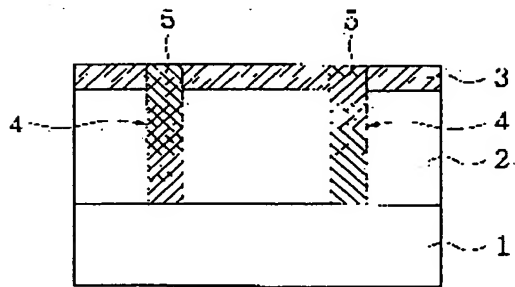
제 9 항에 있어서, 상기 금속막을 식각하는 단계는, 상기 제3하드 마스크막이 노출되도록, 상기 금속막을 화학적기계연마 공정으로 연마하는 단계; 및 상기 금속막 및 제3하드 마스크막의 표면을 에치백하는 단계로 이루어진 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

도면

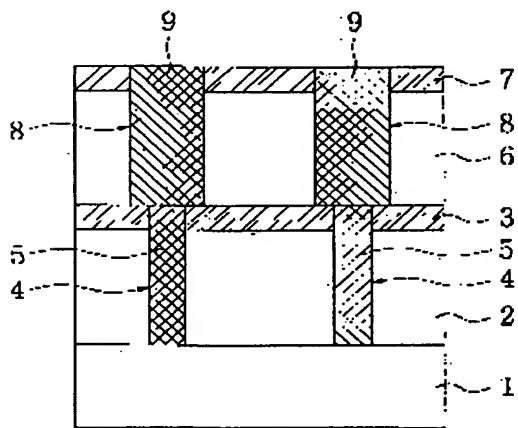
도면1a



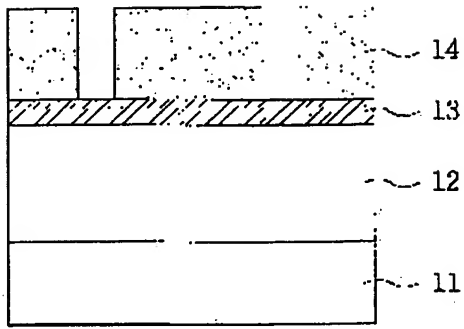
도면1b



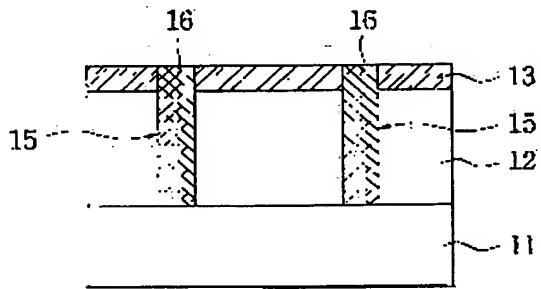
도면1c



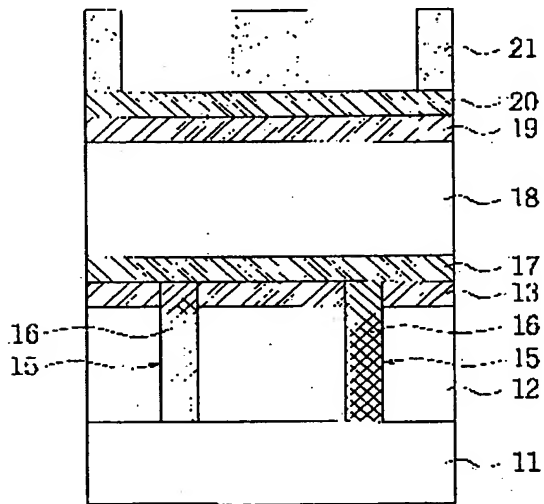
도 2a



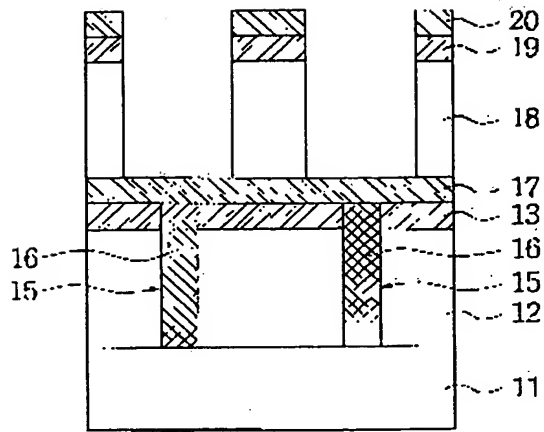
도 2b



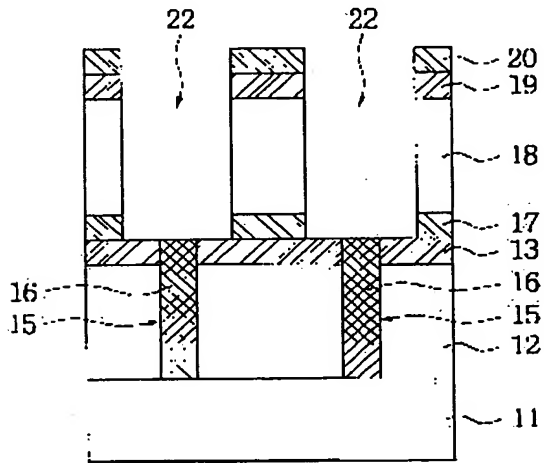
도 2c



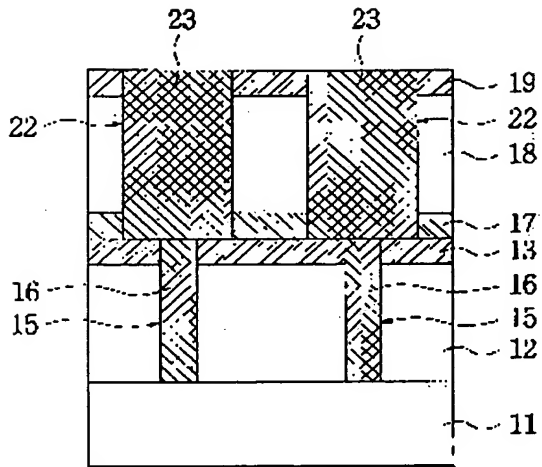
도 2d



도 2e



도면21



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.